

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289859

(43)Date of publication of application : 04.10.2002

(51)Int.CI.

H01L 29/786

(21)Application number : 2001-086175

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 23.03.2001

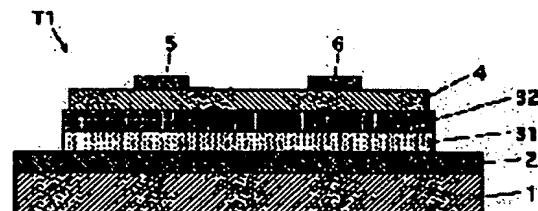
(72)Inventor : OKUMURA YOSHIHIRO  
MASUDA SATOSHI  
KITAMURA TAKESHI  
MIYATAKE SHIGEHIRO  
TABATA HITOSHI  
KAWAI TOMOJI

## (54) THIN-FILM TRANSISTOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a thin-film transistor, having an ZnO film as a semiconductor active layer, where the leakage current of a gate insulating film is suppressed, to provide proper transistor characteristics.

**SOLUTION:** A thin-film transistor T1 is formed on an insulating substrate 1. On the substrate 1, a gate electrode 2, a gate insulating film 31, an intermediate layer 32, and a semiconductor active layer 4 of ZnO are formed sequentially; a source electrode 5 and a drain electrode 6 are formed on the semiconductor active layer 4; and the intermediate layer 32, comprising silicon nitride, is provided so as to prevent movable ions (Zn ion) from infiltrating the gate insulating film 32 from the semiconductor active layer (ZnO film) 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-289859

(P2002-289859A)

(43)公開日 平成14年10月4日 (2002.10.4)

(51)Int.Cl.<sup>7</sup>

H 01 L 29/786

識別記号

F I

テマコード(参考)

H 01 L 29/78

6 1 8 B 5 F 1 1 0

6 1 7 U

審査請求 未請求 請求項の数9 OL (全11頁)

(21)出願番号 特願2001-86175(P2001-86175)

(22)出願日 平成13年3月23日 (2001.3.23)

(71)出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル

(72)発明者 奥村 佳弘

大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル ミノルタ株式会社内

(72)発明者 増田 敏

大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル ミノルタ株式会社内

(74)代理人 100074125

弁理士 谷川 昌夫

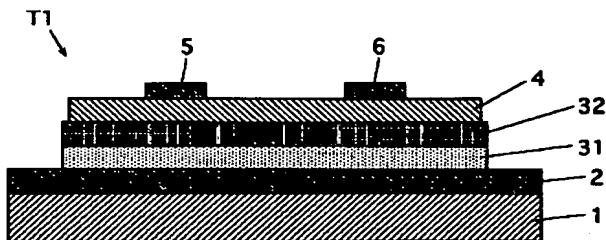
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【課題】 ZnO膜を半導体活性層とする薄膜トランジスタであって、ゲート絶縁膜のリーク電流を抑制し、良好なトランジスタ特性が得られる薄膜トランジスタを提供する。

【解決手段】 絶縁性基板1上に形成された薄膜トランジスタT1。基板1上には、ゲート電極2、ゲート絶縁膜31、中間層32、ZnOからなる半導体活性層4が順に形成されており、半導体活性層4上にはソース電極5とドレイン電極6が形成されている。中間層32は、半導体活性層(ZnO膜)4からの可動イオン(Znイオン)のゲート絶縁膜32への侵入を防止するため設けられており、窒化シリコンからなる。



## 【特許請求の範囲】

【請求項1】半導体活性層、ゲート電極、ソース電極、ドレイン電極及び前記ゲート電極と前記半導体活性層の間に配置されたゲート絶縁膜を有し、前記半導体活性層が酸化亜鉛(ZnO)からなり、前記ゲート絶縁膜と前記半導体活性層との間に前記ゲート絶縁膜の材料とは異なる組成の材料からなる中間層が設けられていることを特徴とする薄膜トランジスタ。

【請求項2】前記ゲート絶縁膜は、 $10^7 \Omega \text{ cm}$ 以上の抵抗率を有する請求項1記載の薄膜トランジスタ。

【請求項3】前記中間層は、前記ゲート絶縁膜よりも硬質な材料からなる請求項1又は2記載の薄膜トランジスタ。

【請求項4】前記中間層が窒化シリコンを主成分とする膜である請求項1から3のいずれかに記載の薄膜トランジスタ。

【請求項5】前記中間層が酸窒化シリコンを主成分とする膜である請求項1から3のいずれかに記載の薄膜トランジスタ。

【請求項6】前記ゲート絶縁膜が酸化シリコンを主成分とする膜である請求項1から5のいずれかに記載の薄膜トランジスタ。

【請求項7】前記中間層の層厚が $10 \text{ \AA}$ 以上 $1000 \text{ \AA}$ 以下である請求項1から6のいずれかに記載の薄膜トランジスタ。

【請求項8】前記ゲート絶縁膜、前記中間層、前記ゲート電極、前記ソース電極及び前記ドレイン電極のうちの少なくとも一つが透明である請求項1から7のいずれかに記載の薄膜トランジスタ。

【請求項9】透明な絶縁性基板上に形成されている請求項1から8のいずれかに記載の薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、酸化亜鉛(ZnO)を半導体活性層とする薄膜トランジスタに関する。

## 【0002】

【従来の技術】従来の薄膜トランジスタ(TFT)の一例の概略断面図を図8に示す。

【0003】図8の薄膜トランジスタは逆スタガ構造(ボトムゲート構造)のものであり、基板1上に形成されている。さらに詳しく言うと、基板1上には、ゲート電極2、ゲート絶縁膜3、半導体活性層(半導体層)4が形成されている。半導体活性層4上にはさらにソース電極5とドレイン電極6が形成されている。

【0004】ゲート電極、ソース電極、ドレイン電極としては、Al等の金属薄膜や、ITO等の透明導電膜が用いられている。

【0005】ゲート絶縁膜としては、絶縁性の極めて高いSiO<sub>2</sub>膜が多く用いられている。

## 【0006】半導体活性層としては、アモルファスシリ

コン膜や、ポリシリコン膜が多用されているが、酸化亜鉛(ZnO)膜を用いることも提案されている。

【0007】アモルファスシリコン膜やポリシリコン膜を半導体活性層とするTFTにおいては、半導体活性層に光が入射すると、光によって生成される光生成キャリアの影響を受けて、正常な動作ができなくなることがある。

【0008】これに対してZnO膜を半導体活性層とするTFTにおいては、半導体活性層に光が入射しても、

10 ZnO膜が可視光に対して透明であるため、半導体活性層は光の影響をほとんど受けない。そのため、ZnO膜を半導体活性層とするTFTは、光が入射しても正常な動作ができなくなるという不具合はほとんど生じない。

## 【0009】

【発明が解決しようとする課題】しかしながら、本発明者らの研究によると、ZnO膜を半導体活性層とする薄膜トランジスタにおいてゲート絶縁膜がSiO<sub>2</sub>膜である場合、何らかの原因によって、SiO<sub>2</sub>膜(ゲート絶縁膜)の絶縁性能が低下してしまうことがあることが判明した。ゲート絶縁膜の絶縁性能が低下すると、ゲート絶縁膜におけるリーク電流が増大し、トランジスタ特性が得られないという不具合が生じる。

【0010】そこで本発明は、ZnO膜を半導体活性層とする薄膜トランジスタであって、ゲート絶縁膜のリーク電流を抑制し、良好なトランジスタ特性が得られる薄膜トランジスタを提供することを課題とする。

## 【0011】

【課題を解決するための手段】【1】前記課題を解決するために本発明は、半導体活性層、ゲート電極、ソース電極、ドレイン電極及び前記ゲート電極と前記半導体活性層の間に配置されたゲート絶縁膜を有し、前記半導体活性層が酸化亜鉛(ZnO)からなり、前記ゲート絶縁膜と前記半導体活性層との間に前記ゲート絶縁膜の材料とは異なる組成の材料からなる中間層が設けられていることを特徴とする薄膜トランジスタを提供する。

【1-1】本発明の薄膜トランジスタ(TFT:Thin Film Transistor)は、半導体活性層、ゲート電極、ソース電極、ドレイン電極及びゲート絶縁膜を有している。

40 【0012】ゲート絶縁膜は、ゲート電極と半導体活性層とを電気的に絶縁するなどのために、ゲート電極と半導体活性層の間に配置されている。つまり、ゲート電極はゲート絶縁膜を介して半導体活性層に臨んでいる。

【0013】ゲート絶縁膜は、電気的に高抵抗であり、非常に高い絶縁性を有している。ゲート絶縁膜の抵抗率は、例えば、 $10^7 \Omega \text{ cm}$ 以上、より好ましくは $10^9 \Omega \text{ cm}$ 以上、さらに好ましくは $10^{11} \Omega \text{ cm}$ 以上とすればよい。ゲート絶縁膜の抵抗率にはゲート絶縁膜を設ける目的(ゲート電極と半導体活性層との絶縁)からして特段の上限はないが、成膜の容易性、材料の入手容易

性、価格等を考慮して、抵抗率は  $10^{16} \Omega \text{ cm}$  以下とすればよい。

【0014】ソース電極は半導体活性層に臨んでいる。ソース電極は半導体活性層に直接接する位置に設けてもよく、ソース電極と半導体活性層の間には別の層（例えばオーミックコンタクト層）を設けてもよい。

【0015】ドレイン電極も半導体活性層に臨んでいる。ドレイン電極は半導体活性層に直接接する位置に設けてもよく、ドレイン電極と半導体活性層の間には別の層（例えばオーミックコンタクト層）を設けてもよい。

【0016】半導体活性層、ゲート電極、ソース電極、ドレイン電極及びゲート絶縁膜は、例えば、逆スタガ構造（ボトムゲート構造）又は正スタガ構造（トップゲート構造）となるように配置すればよい。

【0017】本発明の薄膜トランジスタにおいては、半導体活性層は酸化亜鉛（ZnO）からなる。

【0018】また、本発明の薄膜トランジスタにおいては、半導体活性層（ZnO膜）とゲート絶縁膜の間に、ゲート絶縁膜材料とは異なる組成の材料からなる中間層が配置されている。つまり、半導体活性層（ZnO膜）、中間層、ゲート絶縁膜、ゲート電極の順にこれらは配置されている。なお、これらの間には別の層を設けてもよい。

【0019】半導体活性層とゲート絶縁膜との間に配置された中間層は、ゲート絶縁膜の絶縁性が低下するのを防止するために設けられている。

【0020】先に述べたように、SiO<sub>2</sub>膜等のゲート絶縁膜を半導体活性層としてのZnO膜に直接接する位置に配置すると、ゲート絶縁膜の絶縁性が低下して、薄膜トランジスタが正常に動作しなくなる恐れがある。

【0021】このようにゲート絶縁膜の絶縁性能が低下してしまう確かな原因是不明ではあるが、ZnO膜（半導体活性層）からゲート絶縁膜への可動イオン（特にZnイオン）の侵入によって、ゲート絶縁膜の絶縁性能が低下するものと推測される。また、薄膜トランジスタを作製するときにおいてゲート絶縁膜を形成した後に、ZnO膜（半導体活性層）を形成する場合には、ZnO膜の成膜時における原子や粒子などの衝突によってゲート絶縁膜が受けたダメージが、ゲート絶縁膜の絶縁性能の低下の一因であるとも推測される。

【0022】本発明者らは、上記のようにZnO膜（半導体活性層）とゲート絶縁膜との間に、ゲート絶縁膜とは異なる組成からなる材料の中間層を配置することで、可動イオンのゲート絶縁膜への侵入や、ZnO膜の成膜に伴うゲート絶縁膜のダメージに起因すると考えられるゲート絶縁膜の絶縁性能の低下を抑制できることを見いだした。

【0023】本発明の薄膜トランジスタにおいては、上記のようにゲート絶縁膜と半導体活性層（ZnO膜）との間に、ゲート絶縁膜とは異なる組成の材料からなる中

間層が配置されているため、半導体活性層（ZnO膜）からゲート絶縁膜への可動イオン（特にZnイオン）が侵入してゲート絶縁膜へ拡散したり、ゲート絶縁膜上に別の膜（例えば半導体活性層としてのZnO膜）を形成するときの原子や粒子などの衝突によってゲート絶縁膜がダメージを受けたりすることが原因と考えられるゲート絶縁膜の絶縁性能の低下を抑制できる。これにより、本発明の薄膜トランジスタにおいては、ゲート絶縁膜は高い絶縁性を安定して維持することができる。したがって、ゲート絶縁膜におけるリーク電流を抑制でき、本発明の薄膜トランジスタにおいては安定したトランジスタ特性が得られる。

【0024】また、半導体活性層としてのZnO膜は可視光に対して透明であるので、半導体活性層に可視光が入射しても、本発明の薄膜トランジスタはトランジスタ特性の変化等の影響を受けにくい。したがって、本発明の薄膜トランジスタには遮光層を設ける必要がなく、それだけ工程少なく作製することができる。

【0025】また、半導体活性層が可視光に対して透明であるので、本発明の薄膜トランジスタを例えば液晶表示素子等の表示素子におけるスイッチング素子として利用する場合には、その開口率を高めることができる。また、本発明の薄膜トランジスタを例えば表示素子におけるスイッチング素子として利用する場合には、その開口率を高め、表示素子から射出される光の光量を増大させることができる。本発明の薄膜トランジスタを例えば光電変換素子におけるスイッチング素子として利用する場合には、その開口率を高め、素子への入射光量を増大させることができる。

30 【1-2】 本発明の薄膜トランジスタについて以下さらに説明する。

(a) ゲート絶縁膜

ゲート絶縁膜は、絶縁性（例えば少なくとも  $10^7 \Omega \text{ cm}$  以上の抵抗率）が得られるのであれば、どのような材料からなるものでもよい。

【0026】好適なゲート絶縁膜としては、例えば、酸化シリコンを主成分とする膜（酸シリコンのみからなる膜を含む。以下、単に酸化シリコン膜という）を挙げることができる。酸化シリコン膜は、絶縁性を損なわない範囲で不純物を含んでいてもよい。酸化シリコン膜は、例えば、SiO<sub>2</sub>からなる膜、或いは、SiO<sub>2</sub>を主成分とする膜とすればよい。なお、十分な絶縁性が得られるのであれば、成膜条件などによって化学量論比がSiO<sub>2</sub>から多少ずれていてもよく、本明細書において酸化シリコンという場合には、このように化学量論比がSiO<sub>2</sub>から多少ずれたものも含む。

【0027】酸化シリコン膜は、電気的に極めて高抵抗な膜であるが、絶縁破壊の原因となるビンホールを含んでいることがある。また、ナトリウム（Na）、銅（Cu）、亜鉛（Zn）等の可動イオンが酸化シリコン膜に

侵入して拡散すると、酸化シリコン膜の絶縁性能は著しく低下してしまう。しかし、本発明の薄膜トランジスタにおいては、ゲート絶縁膜として酸化シリコン膜を採用しても、前述のように、半導体活性層（ZnO膜）と酸化シリコン膜（ゲート絶縁膜）との間に、ゲート絶縁膜と異なる組成の材料からなる中間層が設けられているため、酸化シリコン膜の絶縁性能の低下を抑制できる。また、酸化シリコン膜（ゲート絶縁膜）を形成した後にZnO膜（半導体活性層）を形成する場合には、そのZnO膜を成膜するときの原子や粒子などの衝突によるダメージから、酸化シリコン膜を中間層によって保護することができ、酸化シリコン膜の絶縁性能の低下を抑制することができる。

【0028】ゲート絶縁膜は、代表的には、SiO<sub>2</sub>を主成分とする膜（SiO<sub>2</sub>のみからなる膜を含む。以後、単にSiO<sub>2</sub>膜という）とすればよい。

【0029】SiO<sub>2</sub>膜は、例えば、平行平板型RFプラズマCVD法によって、TEOS [Tetraethoxysilane:Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>]とO<sub>2</sub>を原料として形成することができる。この方法によって得られるSiO<sub>2</sub>膜は、抵抗率が10<sup>11</sup>Ωcm以上と極めて高い絶縁性を示し、降伏電界も5MV/cm以上と高い。

【0030】SiO<sub>2</sub>膜は、ECRプラズマCVD法によって形成してもよい。この方法によって得られるSiO<sub>2</sub>膜は、抵抗率が10<sup>11</sup>Ωcm以上と極めて高い絶縁性を示し、降伏電界も10MV/cm以上と高い。また、この方法によるSiO<sub>2</sub>膜の成膜は、ECRの高い反応性を利用して、基板加熱なしで高耐圧の絶縁膜が得られる。基板加熱の必要がないので、使用できる基板材料の条件が緩和され、基板材料の選択範囲が広がる。

#### (b) 中間層

中間層は、ゲート絶縁膜とは異なる組成の材料で形成されている。中間層は、半導体活性層（ZnO膜）からゲート絶縁膜への可動イオンの侵入を防止できるもの、又は（及び）、ゲート絶縁膜を形成した後にゲート絶縁膜とは異なる膜（例えば半導体活性層としてのZnO膜）を形成するときのゲート絶縁膜のダメージを防止できるものであることが好ましい。このような観点からは、中間層はゲート絶縁膜より硬質であること、又は（及び）、中間層はゲート絶縁膜よりも緻密な膜であることが好ましい。中間層は、必ずしも絶縁性である必要はないが、例えば絶縁性を有するものとすればよい。

【0031】好適な中間層としては、例えば、窒化シリコンを主成分とする膜（窒化シリコンのみからなる膜も含む。以下、単に窒化シリコン（SiN）膜という）や、酸窒化シリコンを主成分とする膜（酸窒化シリコンのみからなる膜も含む。以下、単に酸窒化シリコン膜という）を挙げることができる。中間層としての窒化シリコン膜や酸窒化シリコン膜は、その所期の目的を達成で

きる範囲で、不純物を含んでいてもよい。窒化シリコン（SiN）膜は、例えば、アモルファスSiN又はSi<sub>3</sub>N<sub>4</sub>からなる膜、或いは、アモルファスSiN又はSi<sub>3</sub>N<sub>4</sub>を主成分とする膜とすればよい。なお、成膜条件等によって、化学量論比がSi<sub>3</sub>N<sub>4</sub>から多少ずれていても構わず、本明細書において窒化シリコンという場合には、このように化学量論比がSi<sub>3</sub>N<sub>4</sub>から多少ずれているものも含む。また、中間層としての酸窒化シリコン膜は、例えば、Si<sub>3</sub>ONからなる膜や、Si<sub>3</sub>ONを主成分とする膜とすればよい。成膜条件等によって、化学量論比がSi<sub>3</sub>ONから多少ずれていてもよく（例えば、Nに対するOの比が1より大きい場合や小さい場合など）、本明細書において酸窒化シリコンという場合には、このように化学量論比がSi<sub>3</sub>ONから多少ずれているものも含む。

【0032】中間層としての窒化シリコン膜や酸窒化シリコン膜は、例えば、ECRプラズマCVD法によって形成することができる。この方法はECRの高い反応性を利用して、基板加熱なしで緻密な膜が得られる。窒化シリコン膜や酸窒化シリコン膜は、スパッタ法等によっても形成することができる。

【0033】中間層としてのアモルファスSiNを主成分とする膜（以下、単にアモルファスSiN膜という）や酸窒化シリコン膜は、例えば、プラズマCVD法によって形成することができる。この方法によると、比較的の低温で緻密なアモルファスSiN膜や酸窒化シリコン膜を得ることができる。

【0034】中間層は、可動イオンのゲート絶縁膜への侵入を防止する機能を高めるには、できるだけ硬質な膜、又は（及び）できるだけ緻密な膜であることが好ましい。このような観点から言うと、中間層として窒化シリコン膜を採用する場合には、化学量論組成に近い組成であるSi<sub>3</sub>N<sub>4</sub>からなる膜、或いは、Si<sub>3</sub>ONを主成分とする膜を中間層とすることが好ましい。また、中間層として酸窒化シリコン膜を採用する場合には、Si<sub>3</sub>ONからなる膜、或いは、Si<sub>3</sub>ONを主成分とする膜を中間層とすることが好ましい。

【0035】中間層の層厚は、例えば、10Å以上1000Å以下、好ましくは100Å以上800Å以下とすればよい。中間層の層厚は薄すぎると、十分な可動イオンのブロッキング性能が得られず、厚すぎると薄膜トランジスタの特性が悪くなる。中間層の緻密性が高く、可動イオンのブロッキング性能が高ければ、それだけゲート絶縁膜の薄膜化が可能となる。

#### (c) 半導体活性層

半導体活性層は前述のようにZnO膜である。

【0036】ここでZnO膜は透明導電膜として一般的に利用されているが、本発明の薄膜トランジスタの半導体活性層として用いるZnO膜はキャリア濃度が10<sup>19</sup>cm<sup>-3</sup>以下に制御されている。ZnO膜等の導電性酸化

膜においては、一般的にその化学量論組成から少し還元気味にすることにより酸素空孔などの真性欠陥がドナー順位を形成するため、キャリア濃度が $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度にまで達する。キャリア濃度が $10^{19} \text{ cm}^{-3}$ よりも増えるとフェルミ準位が伝導体に達して縮退の状態になり、ZnOは金属のような振る舞いをする。反対にこのキャリア濃度を $10^{18} \text{ cm}^{-3}$ 以下にしてやると縮退の状態が解け、ZnO膜を半導体活性層として用いることができる。

【0037】半導体活性層としてのZnO膜は、例えば、パルスレーザ蒸着法（PLD法）によって形成することができる。PLD法によると、ZnO膜中の酸素濃度や不純物濃度を調整して、容易にキャリア濃度、導電率を制御することができる。

【0038】半導体活性層としてのZnO膜は、そのキャリア濃度が $10^{18} \text{ cm}^{-3}$ 以下で縮退が解けた状態になるのであれば、どのような手法で形成してもよい。

(d) ゲート電極、ソース電極、ドレイン電極電極（ゲート電極、ソース電極、ドレイン電極）は、例えば、インジウム（In）、アルミニウム（Al）等の金属薄膜とすればよい。

【0039】電極を可視光に対して透明にする場合には、電極は透明導電膜とすればよい。電極としての透明導電膜は、可視光に対して透明であって、低抵抗率が得られるのであれば、どのような材料からなるものでもよい。例えば、酸化インジウム（In<sub>2</sub>O<sub>3</sub>）、酸化錫（SnO<sub>2</sub>）、ZnO等の酸化物材料や、この酸化物材料に不純物をドープしたものを透明導電膜材料として採用することができる。In<sub>2</sub>O<sub>3</sub>、SnO<sub>2</sub>、ZnO等の酸化物材料（酸化物半導体）は、元々抵抗率が $10^{-1} \sim 10^{-3} \Omega \text{ cm}$ 程度と低いn型の縮退半導体である。このような酸化物材料に不純物をドープすることで、キャリア密度を $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度に増大させ、抵抗率を $10^{-3} \sim 10^{-4} \Omega \text{ cm}$ 程度にまでさらに低減することができる。具体的に言うと、透明導電膜材料としては、例えば、In<sub>2</sub>O<sub>3</sub>に錫（Sn）をドープしたもの（一般的にITO（Indium Tin Oxide）と呼ばれる）、SnO<sub>2</sub>にアンチモン（Sb）又はフッ素（F）をドープしたもの、ZnOにInをドープしたもの、ZnOにガリウム（Ga）をドープしたもの（一般的にGZOと呼ばれる）、ZnOにAlをドープしたもの（一般的にAZOと呼ばれる）などを採用すればよい。

【0040】ゲート電極、ソース電極及びドレイン電極の材料は、全て同じものとしてもよく、異なるものとしてもよい。

(e) 基板

本発明の薄膜トランジスタは、例えば、絶縁性基板上に形成すればよい。基板は、例えば、ガラス基板とすればよい。基板は、薄膜トランジスタ（電極、半導体活性層、ゲート絶縁膜、中間層等）を形成するときの成膜温

度等にもよるが、有機材料や高分子材料、例えば、ポリエーテルスルホン（PES）、ポリカーボネイト（PC）、ポリエチレンテレフタレート（PET）、ポリアリレート（PA）、ポリエーテルエーテルケトン（PEEK）、アクリル（PMMA）、ABS、ポリ四フッ化エチレンからなるものとしてもよい。基板は、可撓性を有するものとしてもよい。

(f) 本発明の薄膜トランジタにおいては、ZnOからなる半導体活性層は前述のように可視光に対して透明であり、開口率を高めることができる。

【0041】開口率をさらに高めるなどのために、ゲート絶縁膜、中間層、ゲート電極、ソース電極及びドレイン電極のうちの少なくとも一つを透明にしてもよい。さらに言うと、これらのうちの少なくとも一つを可視光に対して透明にしてもよい。例えば、エネルギー bandwidthが3 eV以上である材料によって、ゲート絶縁膜、中間層、ゲート電極、ソース電極又はドレイン電極を形成すれば、それを可視光に対して透明にことができる。

【0042】ゲート絶縁膜、中間層、ゲート電極、ソース電極及びドレイン電極の全てを透明にすることで、開口率ほぼ100%を達成することができる。

【0043】また、薄膜トランジタを形成する基板も透明にしてもよい。

【0044】

【発明の実施の形態】 [2] 以下、本発明の実施の形態を図面を参照して説明する。

【0045】本発明の薄膜トランジスタ（TFT）の一例の概略構成図を図1に示す。

【0046】図1に示す薄膜トランジスタT1は、ボトムゲート型の薄膜トランジスタである。

【0047】薄膜トランジスタT1は、絶縁性基板1上に形成されている。基板1上には、ゲート電極2、ゲート絶縁膜31、中間層32、半導体活性層4がこの順に形成されている。半導体活性層4上には、さらにソース電極5とドレイン電極6が形成されている。

【0048】半導体活性層4は、酸化亜鉛（ZnO）からなり、可視光に対して透明である。半導体活性層4としてのZnO膜は、そのキャリア濃度が $10^{18} \text{ cm}^{-3}$ 以下となるように形成されたものである。

【0049】ゲート絶縁膜31は、抵抗率が $10^7 \Omega \text{ cm}$ 以上であり、本例ではSiO<sub>2</sub>からなる。

【0050】中間層32は、本例では窒化シリコンからなる。

【0051】本発明の薄膜トランジスタT1においては、半導体活性層4とゲート絶縁膜31の間に中間層32を設けたことによって、半導体活性層4（ZnO膜）からゲート絶縁膜31へのZnイオンの侵入をブロックすることができ、Znイオンがゲート絶縁膜31において拡散することを抑制できる。これにより、Znイオン

によるゲート絶縁膜31(SiO<sub>2</sub>膜)の絶縁性能の低下を抑制でき、ゲート絶縁膜31は安定して高い絶縁性を維持することができる。また、ゲート絶縁膜31を中心層32で覆った後に、半導体活性層(ZnO膜)4が形成されるため、ZnO膜4を形成するときの原子や粒子などの衝突によるダメージからゲート絶縁膜31を中心層32によって保護することができ、これによってもゲート絶縁膜31の絶縁性能の低下を抑制することができる。このようにゲート絶縁膜31は高い絶縁性を長期にわたり安定して維持することができるため、ゲート絶縁膜31におけるリーク電流を長期にわたり安定して抑制できる。その結果、本発明の薄膜トランジスタT1によると安定したトランジスタ特性が得られる。

【0052】また、半導体活性層4としてのZnO膜は可視光に対して透明であるので、半導体活性層4に可視光が入射しても、本発明の薄膜トランジスタT1はトランジスタ特性の変化等の影響を受けにくい。したがって、本発明の薄膜トランジスタT1には遮光層を設ける必要がなく、それだけ工程少なく作製することができる。

【0053】また、半導体活性層4が可視光に対して透明であるので、表示素子、光電変換素子等において本発明の薄膜トランジスタT1を使用するときには、その開口率を高めることができる。

【0054】なお、本発明の薄膜トランジスタは、ボトムゲート型に限定されるものではなく、トップゲート型にしてもよい。

### [3] 実施例1、比較例1

実施例1においては、中間層を有する薄膜トランジスタを次のように作製し、そのトランジスタ特性等を調べた。

【0055】本発明の薄膜トランジスタとの比較のために、比較例1においては、中間層を有しない薄膜トランジスタも作製し、そのトランジスタ特性等も調べた。

【3-1】まず、実施例1において作製した薄膜トランジスタT2の概略構造を図2を参照して説明する。薄膜トランジスタT2は、ボトムゲート型の薄膜トランジスタである。

【0056】薄膜トランジスタT2は、透明絶縁性の基板1上に形成されている。基板1はガラス基板である。

【0057】基板1上にはCrからなるゲート電極2、ゲート電極を覆うように酸化シリコン(SiO<sub>2</sub>)からなるゲート絶縁膜31、窒化シリコンからなる中間層32が形成されている。中間層32上には、キャリア密度や導電率が所定値に制御されたZnOからなる半導体活性層4が形成されている。

【0058】半導体活性層4の上には、チャネル保護とバッシャーションのための保護層7が形成されている。

【0059】また、半導体活性層4等の上には、半導体活性層4の一部、中間層32の露出する部分、ゲート絶

縁膜31の露出する部分を覆うように、層間絶縁膜81、82が形成されている。

【0060】保護層7や層間絶縁膜81、82の材料は、例えば、酸化シリコン、窒化シリコン、フッ素を含んだ酸化シリコン等の無機系材料、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン(BCB)などとすればよい。

【0061】半導体活性層4上には、さらに、Inからなるソース電極5とドレイン電極6が、保護層7や層間絶縁膜81、82の一部を覆うように形成されている。

【3-2】実施例1においては、薄膜トランジスタT2を次のようにして作製した。

#### (a) ゲート電極2

まず、ゲート電極2とする所定形状のCr膜を基板1上に次のようにして形成した。

【0062】はじめに、マグнетロンスパッタリング法によって室温下で、厚みが約3000ÅのCr膜を基板1上に形成した。このCr膜をフォトリソグラフィー法を利用してエッチングすることで、Cr膜を所定形状にバーニングして、ゲート電極2を得た。

#### (b) ゲート絶縁膜31

次いで、ゲート絶縁膜31とする酸化シリコン膜をゲート電極2上に次のようにして形成した。

【0063】ゲート絶縁膜31としての酸化シリコン膜は、平行平板型RFプラズマCVD法によって、基板温度を400°Cにし、TEOS[Tetraethoxysilane:Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>]とO<sub>2</sub>を原料にして形成した。この方法により、SiO<sub>2</sub>を主成分とする酸化シリコン膜を形成した。酸化シリコン膜の厚みは約2500Åとした。この酸化シリコン膜の抵抗率は10<sup>11</sup>Ωcm以上と極めて高く、降伏電界も5MV/cm以上と高かった。

#### (c) 中間層32

次いで、中間層32とする窒化シリコン膜をゲート絶縁膜31上に次のようにして形成した。

【0064】中間層としての窒化シリコン膜は、平行平板型RFプラズマCVD法によって、SiH<sub>4</sub>ガスとNH<sub>3</sub>ガスを原料にして形成した。窒化シリコン膜は、約500Åの厚みに形成した。

【0065】プラズマCVD法による窒化シリコン膜の形成手法には、その反応過程の違いから、シランラジカル型とアミノシラン型がある。緻密な良質の窒化シリコン膜を得るためにには、アミノシラン堆積法で形成するのが好ましい。この方法は、SiH<sub>4</sub>の全てをNH<sub>3</sub>と反応させ、堆積種をSi(NH<sub>3</sub>)<sub>4</sub>とするものである。原料ガスのNH<sub>3</sub>/SiH<sub>4</sub>の流量比を大きくする、SiH<sub>4</sub>流量を少なくする、RFパワーを大きくする、又は(及び)成膜装置内でのアミノシラン分子の形成を促進するため相対的に原料ガスの滞留時間を長くすることで、良質な窒化シリコン膜が得られる(D.T.Murler et al., J.Non Cryst.Solids, Vol.187, p324(1995))。

【0066】ここでは、流量比  $NH_3 / SiH_4 = 80 / 10$ 、RFパワー = 80W、圧力 = 60Pa、基板温度 = 200°Cの条件下にて、平行平板型RFプラズマCVD装置を用いてアミノシラン堆積法によって、中間層32としてのアモルファス窒化シリコン膜を形成した。なお、滞留時間を長くするために高い圧力(本例では60Pa)にて、成膜を行った。

(d) 半導体活性層4

次いで、半導体活性層4とするZnO膜を中間層32上に次のようにして形成した。

【0067】半導体活性層4としてのZnO膜は、バルスレーザー蒸着法によって、基板温度を450°Cにして形成した。ZnO膜は、約500Åの厚みに形成した。ZnO膜中の酸素濃度を調整することで、ZnO膜のキャリア密度及び導電率を所定値に調整した。

(e) 保護層7及び層間絶縁膜81、82

次いで、保護層7及び層間絶縁膜81、82とする窒化シリコン膜を半導体活性層4等の上に次のようにして形成した。

【0068】保護層7及び層間絶縁膜81、82としての窒化シリコン膜は、プラズマCVD法によって約2500Åの厚みに形成した。この窒化シリコン膜に、フォトリソグラフィー法を利用したエッチングによって、ソース電極5及びドレイン電極6用のコンタクトホールを形成した。このように保護層7及び層間絶縁膜81、82は同時に形成した。

(f) ソース電極5及びドレイン電極6

次いで、ソース電極5及びドレイン電極6とするIn膜を次のように形成した。

【0069】はじめに、半導体活性層4や保護層7等の上に、抵抗加熱蒸着法によって約1500Åの厚みのIn膜を形成した。このIn膜をフォトリソグラフィー法を利用してエッチングすることで、ソース電極5とする所定形状のIn膜と、ドレイン電極6とする所定形状のIn膜を形成した。

【0070】これらにより、図2の薄膜トランジスタT2を得た。

【3-3】 なお、保護層や層間絶縁膜の構造、形成方法は上記のものに限定されず、種々変更可能である。

【0071】例えば、図3に示す薄膜トランジスタT3\*40

\*のようにしてよい。

【0072】薄膜トランジスタT3は、基板1上に次のようにして形成されたものである。まず、実験例1の薄膜トランジスタT1と同様にして、基板1上にゲート電極2、ゲート絶縁膜31、中間層32及び半導体活性層4を形成する。

【0073】次いで、保護層7とする窒化シリコン膜を次のように形成する。まず、ゲート絶縁膜31、中間層32及び半導体活性層4を覆うように窒化シリコン膜を形成し、その後フォトリソグラフィー法を利用して、その窒化シリコン膜を所定形状にバターニングすることで、所定形状の保護層7を得る。

【0074】次いで、バッシベーション膜83及び層間絶縁膜81、82とするポリイミド膜を次のように形成する。まず、ゲート絶縁膜31、中間層32、半導体活性層4及び保護層7を覆うようにポリイミド膜を形成する。この後、このポリイミド膜のソース電極及びドレイン電極を形成する領域にフォトリソグラフィー法を利用して、コンタクトホールを形成して、半導体活性層4の一部を露出させる。これにより、半導体活性層等の所定部分を覆う所定形状のバッシベーション膜83及び層間絶縁膜81、82を得る。

【0075】最後に、ソース電極5及びドレイン電極6を実施例1と同様に形成して、薄膜トランジスタT3を得る。

【3-4】 比較例1においては、上記の薄膜トランジスタT2と同様にして、中間層を有しない薄膜トランジスタを形成した。つまり、比較例1においては、ゲート電極2と半導体活性層4の間にゲート絶縁膜31だけしか配置されていない薄膜トランジスタを形成した。

【0076】実施例1の薄膜トランジスタと、比較例1の薄膜トランジスタの違いは、ゲート絶縁膜(SiO<sub>2</sub>膜)31と、半導体活性層(ZnO膜)4の間に、中間層(窒化シリコン膜)32が配置されているか否かだけである。

【3-5】 実施例1の薄膜トランジスタT2と、比較例1の薄膜トランジスタにおけるゲート絶縁膜のリーク電流を次表1に示す。

【0077】

【表1】

	実施例1	比較例1
ゲート絶縁膜	SiO <sub>2</sub> (2500Å)	SiO <sub>2</sub> (2500Å)
中間層	SiN(500Å)	なし
リーク電流(A/cm <sup>2</sup> )	2×10 <sup>-8</sup> ~7.8×10 <sup>-9</sup>	2.5×10 <sup>-4</sup> ~1.4×10 <sup>-5</sup>

【0078】表1から、中間層(窒化シリコン膜)32を有する実施例1の薄膜トランジスタは、中間層32を有しない比較例1の薄膜トランジスタよりも、そのリーク電流が5桁低減していることがわかる。これにより、

中間層(窒化シリコン膜)32によって、半導体活性層(ZnO膜)4からゲート絶縁膜(SiO<sub>2</sub>膜)へのZnイオンの拡散が抑制されるなどして、リーク電流を低減できることがわかる。

【0079】図4に実施例1の薄膜トランジスタT2のVds(ドレイン-ソース間電圧)-Id(ドレイン電流)特性を示す。なお、図4において、Vg<sub>1</sub>~Vg<sub>n</sub>はゲート電圧であり、Vg<sub>1</sub>、Vg<sub>2</sub>、…、Vg<sub>n</sub>の順にゲート電圧は高い。

【0080】図4から、実施例1の薄膜トランジスタT2においては、数Vのゲート電圧の変化で、ドレイン電流Idが大きく変化していることがわかる。つまり、実施例1の薄膜トランジスタT2が良好なスイッチング特性を有していることがわかる。

【0081】これに対して、比較例1の薄膜トランジスタは、リーク電流が大きいため、スイッチング動作しないか、動作してもゲート電圧の変化に対してほんのわずかなドレイン電流の変化しか見られなかった。比較例1の薄膜トランジスタのVds-Id特性を図9に示す。なお、図9においてVg<sub>1</sub>~Vg<sub>n</sub>は図4のものに対応している。図9から、比較例1の薄膜トランジスタでは、スイッチング特性が得られないことがわかる。なお、比較例1の薄膜トランジスタのドレイン電流Idは、ゲート絶縁膜のリーク電流が大きいため、実施例1の薄膜トランジスタのドレイン電流Idに比べて大きくなっているものと考えられる。

【0082】これらにより、中間層(窒化シリコン膜)を有する実施例1の薄膜トランジスタによると、中間層を有しない比較例1の薄膜トランジスタに比べて、良好なスイッチング特性が得られることがわかる。また、実施例1の薄膜トランジスタT2においては、バンドギャップの広いZnO膜を半導体活性層に用いているため、遮光層を設けなくても、光による特性変化等の影響を受けにくい。

【3-6】なお、実施例1においては、中間層32として、プラズマCVD法により形成したアモルファス窒化シリコン膜を用いたが、可動イオンのブロック効果が大きく、硬度や緻密性が高ければ他の材料からなる膜を中間層としてもよい。また、中間層32は透明でなくともよく、有機材料や高分子材料からなる膜を中間層として用いてもよい。

【0083】また、実施例1においては、中間層32としての窒化シリコン膜の膜厚を500Åとしたが、可動イオンのブロッキング性能や緻密性が確保できるのであれば、もっと薄くしてもよい。中間層32を薄くすれば、薄膜トランジスタの特性が向上する。

#### [4] 実施例2

実施例2においては、図2の薄膜トランジスタと同じ構造の薄膜トランジスタを形成した。なお、実施例1の薄膜トランジスタと、実施例2の薄膜トランジスタは、電極等を透明にした点などが異なっている。

【0084】実施例2においては、薄膜トランジスタは透明なガラス基板1上に次のように形成した。

【0085】まず、ゲート電極2とするITO膜を基板

1上に次のようにして形成した。はじめに、スパッタリング法によって、厚みが約500ÅのITO膜を基板1上に形成した。このITO膜をフォトリソグラフィー法を利用してエッチングすることで、ITO膜を所定形状にパターニングし、ゲート電極2を得た。

【0086】次いで、実施例1と同様にして、ゲート絶縁膜31とする酸化シリコン膜、中間層32とする窒化シリコン膜、半導体活性層4とするZnO膜、保護層7とする窒化シリコン膜、層間絶縁膜81、82とする窒化シリコン膜を順に形成した。

【0087】次いで、ソース電極5及びドレイン電極6とするITO膜を次のように形成した。はじめに、半導体活性層4や保護層7等上に、スパッタリング法によって約1500Åの厚みのITO膜を形成した。このITO膜をフォトリソグラフィー法を利用してエッチングすることで、ソース電極5とする所定形状のITO膜と、ドレイン電極6とする所定形状のITO膜を形成した。

【0088】これらにより、薄膜トランジスタを得た。

【0089】実施例2の薄膜トランジスタによると、実施例1の薄膜トランジスタと同様に、リーク電極を抑制でき、良好なスイッチング特性が得られる。

【0090】実施例2の薄膜トランジスタにおいては、半導体活性層(ZnO膜)4の他に、基板1が透明で、ゲート電極2、ソース電極5及びドレイン電極6が透明導電膜であるITO膜であるため、実施例1の薄膜トランジスタに比べて、薄膜トランジスタ中の透明部分の面積が大きくなっている。したがって、実施例2の薄膜トランジスタを例えれば光電変換素子、発光素子、表示素子(液晶表示素子等)において例えればスイッチング素子として利用するときには、開口率を高めることができる。

【0091】なお、実施例2においては、可動イオンをブロックするなどのための透明な中間層32として窒化シリコン膜を用いたが、硬度や緻密性が高く、可動イオン等のブロック効果が大きい材料で、エネルギー・バンドギャップが3eV以上であれば、他の材料からなる膜を中間層としてもよく、上記述べたプラズマCVD法以外の方法により中間層を形成してもよい。

【0092】また、実施例2においては、高抵抗な透明なゲート絶縁膜31としてSiO<sub>2</sub>膜を用いたが、高抵抗でエネルギー・バンドギャップが3eV以上であれば、他の材料からなる膜をゲート絶縁膜としてもよい。

【0093】また、実施例2においては、中間層32としての窒化シリコン膜の膜厚を500Åとしたが、可動イオンのブロッキング性能や緻密性が確保できるのであれば、もっと薄くしてもよい。中間層32を薄くすれば、薄膜トランジスタの特性が向上する。

【5】本発明の薄膜トランジスタは、例えれば、光電変換素子(受光素子)、液晶表示素子、発光素子(EL素子、LED素子等)においてスイッチング素子として利用することができる。

【0094】本発明の薄膜トランジスタを備える光電変換表示装置の一例の概略平面図を図5に示す。また、この表示装置の図5のX-X線に沿う概略断面図を図6に示す。

【0095】図5及び図6に示す表示装置においては、基板1上に複数の画素部Pがマトリクス状に形成されている。各画素部Pに対してそれぞれ本発明の薄膜トランジスタT2が次のように設けられている。

【0096】基板1上には、対向電極(下部電極)95、表示媒体層96、画素電極97、層間絶縁膜98が形成されている。対向電極95、表示媒体層96、画素電極97によって一つの表示素子部が構成されている。対向電極95は各画素部Pに対して共通のものであり、画素電極97は各画素部Pに対してそれぞれ設けられている。

【0097】薄膜トランジスタT2は、層間絶縁膜98の上に形成されている。

【0098】薄膜トランジスタT2のドレイン電極6は、対応する画素電極97に接続されている。ドレイン電極6は層間絶縁膜98に設けられているコンタクトホールを介して画素電極97に接続されている。

【0099】薄膜トランジスタT2のソース電極5は、ITOからなる透明な信号電極931又は932に接続されている。なお、ソース電極と信号電極は一体的に形成されているものであり、信号電極の一部の部分が薄膜トランジスタT2におけるソース電極5として機能する。

【0100】薄膜トランジスタT2のゲート電極2は、ITOからなる透明な走査電極941又は942に接続されている。なお、ゲート電極と走査電極は一体的に形成されているものであり、走査電極の一部の部分が薄膜トランジスタT2におけるゲート電極2として機能する。

【0101】実施例2の薄膜トランジスタT2のゲート電極2、ゲート絶縁膜31、中間層32、半導体活性層4、ドレイン電極5及びソース電極6は前述のように透明であるため、各画素部Pに設けられている薄膜トランジスタT2は全体に透明である。したがって、画素部Pへの入射光量或いは画素部Pからの射出光量を増大させることができる。この表示装置においては、各画素部Pにおいて薄膜トランジスタT2の占める面積にかかわらず、開口率100%を達成することができる。

【0102】図5及び図6の表示装置の作製方法としては、基板に表示素子部及び薄膜トランジスタを順次形成していく方法や、はじめに薄膜トランジスタを透明絶縁性基板上に形成し、その薄膜トランジスタを形成した基板の背面と、別の基板との間に表示媒体層を挟持する方法がある。後者の場合、図6の層間絶縁膜98がガラス基板等に変更される。

【0103】図7は、表示装置の他の例の概略断面図で

ある。この表示装置においては、薄膜トランジスタT2は基板11上に直接形成されている。薄膜トランジスタT2上には、厚みが均一になるように、層間絶縁膜98が形成されている。この層間絶縁膜98には画素電極97のためのコンタクトホールが形成されており、画素電極97はコンタクトホールを介してドレイン電極6と接続している。画素電極97に対向する位置には、基板12上に形成された対向電極95が配置されている。そして、画素電極97と対向電極95の間に液晶層等の表示媒体層96が配置されている。

【0104】以上の説明した表示装置においては、薄膜トランジスタはボトムゲート型であるが、トップゲート型としてもよい。

【0105】

【発明の効果】以上説明したように本発明は、ZnO膜を半導体活性層とする薄膜トランジスタであって、ゲート絶縁膜のリーケ電流を抑制し、良好なトランジスタ特性が得られる薄膜トランジスタを提供することができる。

20 【図面の簡単な説明】

【図1】本発明に係る薄膜トランジスタの一例の概略構成図である。

【図2】本発明に係る薄膜トランジスタの他の例の概略断面図である。

【図3】本発明に係る薄膜トランジスタのさらに他の例の概略断面図である。

【図4】実施例1において作製した薄膜トランジスタのVds - Id特性を示す図である。

30 【図5】本発明に係る薄膜トランジスタを備える表示装置の一例の概略平面図である。

【図6】図5の表示装置の概略断面図である。

【図7】本発明に係る薄膜トランジスタを備える表示装置の他の例の概略断面図である。

【図8】従来の薄膜トランジスタの一例の概略断面図である。

【図9】比較例1において作製した薄膜トランジスタのVds - Id特性を示す図である。

【符号の説明】

T1、T2、T3 薄膜トランジスタ

40 1、11、12 基板

2 ゲート電極

3 ゲート絶縁膜

31 ゲート絶縁膜

32 中間層

4 半導体活性層

5 ソース電極

6 ドレイン電極

7 保護層

81、82 層間絶縁膜(層間絶縁層)

50 931、932 信号電極

941、942 走査電極

\* 96 表示媒体層

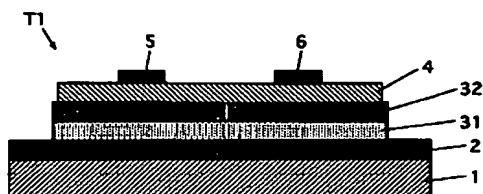
P 画素部

97 画素電極

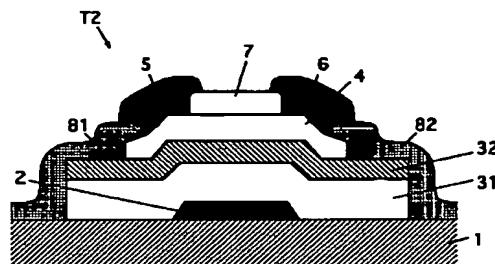
95 対向電極

\* 98 層間絶縁膜

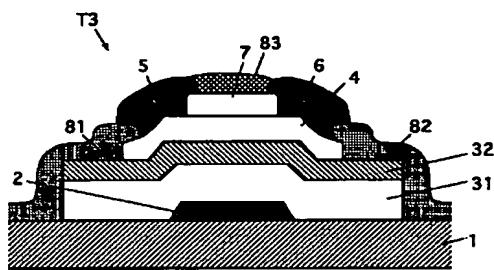
【図1】



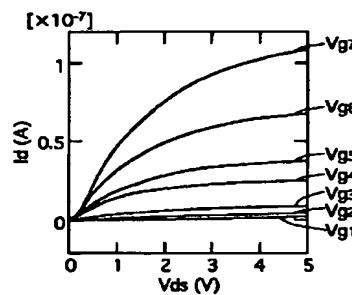
【図2】



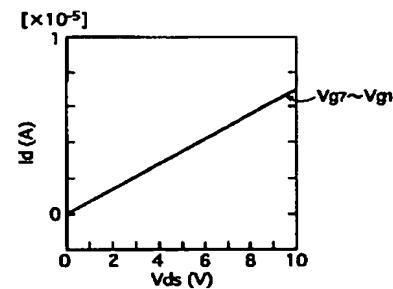
【図3】



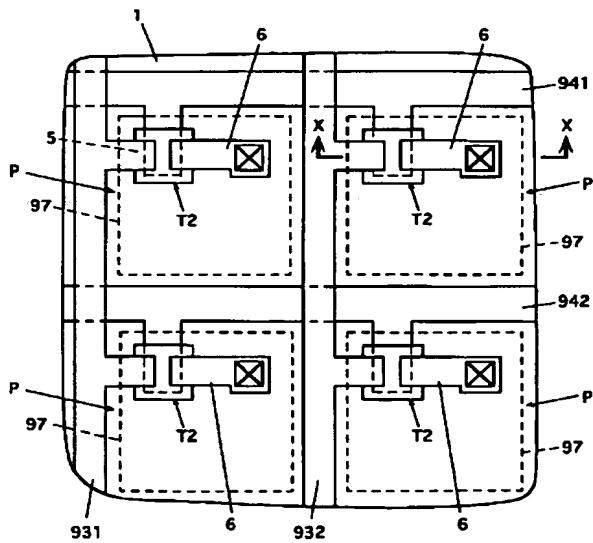
【図4】



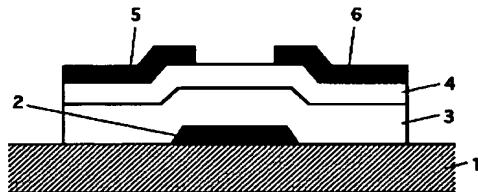
【図9】



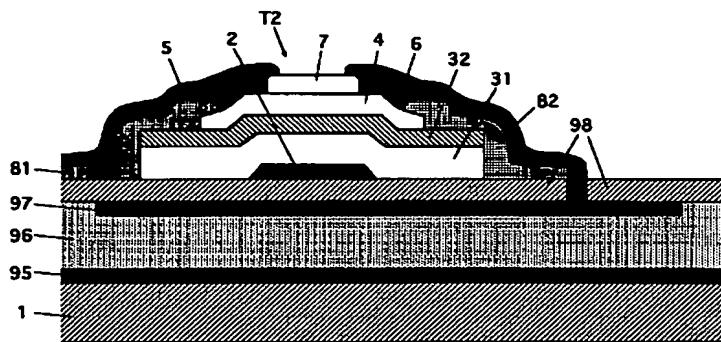
【図5】



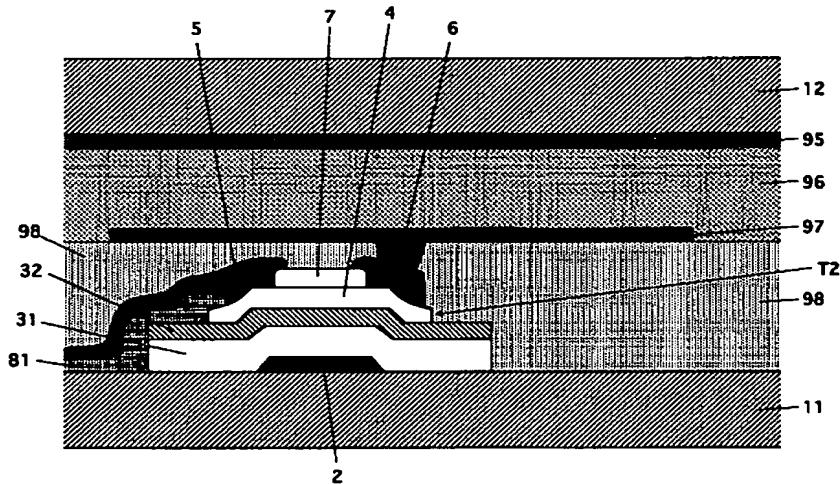
【図8】



【図6】



【図7】



## フロントページの続き

(72)発明者 北村 健

大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル ミノルタ株式会社内

(72)発明者 宮武 茂博

大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル ミノルタ株式会社内

(72)発明者 田畠 仁

大阪府吹田市上山田5-1-603

(72)発明者 川合 知二

大阪府箕面市小野原東5-26-15-615  
F ターム(参考) SF110 AA30 BB01 CC05 CC07 DD01  
DD02 DD06 EE02 EE03 EE04  
EE07 EE44 FF02 FF03 FF04  
FF05 FF09 FF28 FF30 FF31  
GG01 GG06 GG25 GG42 HL02  
HL03 HL22 NN02 NN12 NN23  
NN24 NN27 NN35 NN72

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**